

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-222786

(43)Date of publication of application : 12.08.1994

(51)Int.Cl.

G10K 15/04  
G10H 5/00

(21)Application number : 04-275758

(71)Applicant : KAGA DENSHI KK

(22)Date of filing : 14.10.1992

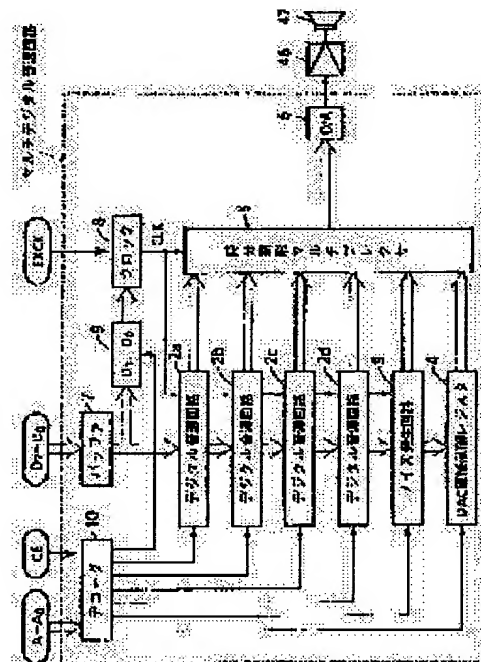
(72)Inventor : KOYAMA KEIICHI  
KATO YASUMASA

## (54) MULTI DIGITAL SOUND SOURCE CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent a sound from interfering and to evade such an accident that a transient soundless state occurs even when plural digital signals become opposite phase accidentally by using a time division multiplexer and periodically switching a digital sound source circuit.

**CONSTITUTION:** To the time division multiplexer 5, four outputs from the digital sound sources 2a-2d are inputted, and the outputs from a noise generation circuit 3 and a DAC direct control register 4 are inputted. By the time division multiplexer 5, the inputted six signals and a pause are switched with a clock CLK from a clock generation circuit 8 periodically to be outputted to a D/A converter 6. Thus, no digital signals become zero since no digital signals are addition-processed even when plural digital signals become the opposite phase accidentally, and the digital signals are outputted to a digital/analog conversion circuit respectively independently.



## LEGAL STATUS

[Date of request for examination] 11.07.1997

[Date of sending the examiner's decision of rejection] 09.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-222786

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl.<sup>5</sup>  
G10K 15/04  
G10H 5/00

識別記号 庁内整理番号  
303 Z 9381-5H  
8622-5H

F I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全7頁)

(21)出願番号 特願平4-275758

(22)出願日 平成4年(1992)10月14日

(71)出願人 591066144

加賀電子株式会社

東京都文京区音羽1丁目26番1号

(72)発明者 小山 啓一

東京都杉並区久我山2丁目1番32号 イー  
グルビル2F 株式会社アムテック内

(72)発明者 加藤 康政

東京都文京区音羽1丁目26番1号 加賀電  
子株式会社内

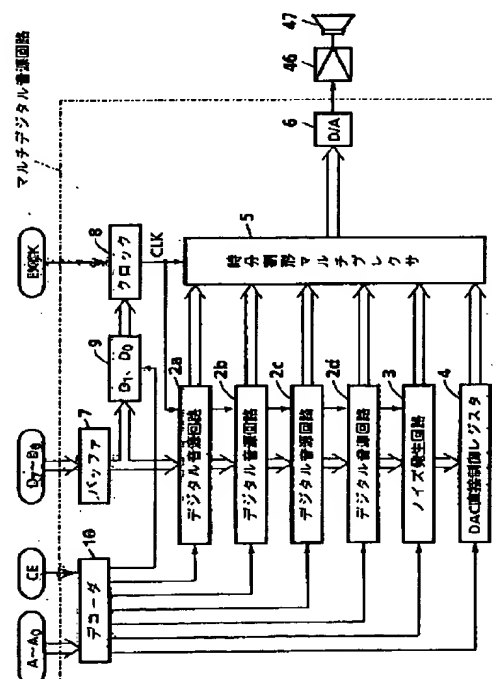
(74)代理人 弁理士 光石 俊郎 (外1名)

(54)【発明の名称】 マルチデジタル音源回路

(57)【要約】

【目的】 複数のデジタル音源回路によるデジタル信号の偶然的な干渉を防止し、一時的な無音状態を回避することを目的とする。

【構成】 時分割形マルチプレクサにより、複数のデジタル音源回路からのデジタル信号を周期的に切り換えて出力するようにしたので、デジタル信号の干渉を防止することができ、これにより、デジタル信号が偶然的に逆位相となっても、デジタル信号は独立したままであるので、一時的な無音状態を回避することができる。



## 【特許請求の範囲】

【請求項1】 一定の期間中のパルス数、パルス幅及びパルス間隔のうち少なくとも一つが異なるデジタル信号を出力可能な複数のデジタル音源回路と、前記デジタル音源回路から出力されるデジタル信号を周期的に順々に切り換えて出力する時分割形マルチプレクサと、前記時分割形マルチプレクサから出力されたデジタル信号をアナログ信号に変換するデジタル・アナログ変換回路とを有することを特徴とするマルチデジタル音源回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、音色を組み合わせられるマルチデジタル音源回路に関し、組み合わせで出力される音の干渉をなくするように改良したものである。

## 【0002】

【従来の技術】 従来、遊戯機器等に用いられている音源回路はアナログ回路方式のものが主流である。この種のアナログ音源回路はハードウェア構成が複雑であり、高価であった。そこで、デジタル回路方式による音源回路（デジタル音源回路）が開発されてきたが、音色は矩形波の幅により固定している為、変化させることができなかった。

## 【0003】

【発明が解決しようとする課題】 また、音色の異なる複数のデジタル音源回路を並列的に組み合わせると、デジタル信号を単に加え合わせると、特定の周波数の音が干渉して、一時的に無音状態となることがある。これは、複数のデジタル音源回路から出力されるデジタル信号の矩形波が、ある周波数では偶然に逆位相となり、この為、これらが加え合わせられると、デジタル信号の和として“0”となってしまうからと考えらる。このような干渉の問題が、デジタル音源回路の開発の障害となっていた。本発明は、上述した従来技術に鑑み、音の干渉を回避することのできるマルチデジタル音源回路を提供することを目的とするものである。

## 【0004】

【課題を解決するための手段】 本発明のマルチデジタル音源回路は、一定の期間中のパルス数、パルス幅及びパルス間隔のうち少なくとも一つが異なるデジタル信号を出力可能な複数のデジタル音源回路と、前記デジタル音源回路から出力されるデジタル信号を周期的に順々に切り換えて出力する時分割形マルチプレクサと、前記時分割形マルチプレクサから出力されたデジタル信号をアナログ信号に変換するデジタル・アナログ変換回路とを有することを特徴とする。

## 【0005】

【作用】 複数のデジタル音源回路は、外部からの指令に応じて、一定の期間中のパルス数、パルス幅及びパルス間隔のうち少なくとも一つが異なるデジタル信号、つまり、音色の異なるデジタル信号を出力し、このように音

色の異なるデジタル信号がこれらデジタル音源回路からマルチプレクサへ入力される。時分割形マルチプレクサは、複数のデジタル音源回路から出力されるデジタル信号を周期的に順々に切り換えてデジタル・アナログ変換回路へ出力する。従って、複数のデジタル信号が偶然的に逆位相となったとしても、デジタル信号は加え合わされるていない為、信号として“0”となることはなく、それぞれ独立的にデジタル・アナログ変換回路へ出力される。デジタル・アナログ変換回路は、時分割形マルチプレクサからのデジタル信号をアナログ信号へ変換する。ここで、時分割形マルチプレクサで、音色の異なるデジタル信号を、聴覚的に識別できる速度より高い速度で周期的に切り換えることにより、音色の異なる音を同時に聞き分けることができる。

## 【0006】

【実施例】 以下、図1～図5を参照して本発明を実施例とともに説明する。図1に本発明の一実施例に係るマルチデジタル音源回路1の回路構成を示す。同図に示すように本実施例のマルチデジタル音源回路1は、四つのデジタル音源回路2a、2b、2c、2dと、一つのノイズ発生回路3と、一つのDAC直接制御レジスタ4、時分割形マルチプレクサ5及びD/A変換回路6等を備えたものである。

【0007】 四つのデジタル音源回路2a、2b、2c、2dは、外部機器からの指令により、16種の音色を発生できると共に音量を自動的に増減可能となっている。デジタル音源回路2a～2dに対する外部機器からの指令は、8ビットデータD<sub>1</sub>～D<sub>8</sub>としてバッファレジスタ10に保持される。デジタル音源回路2a～2dは、それらのデータを設定するための所定数のレジスタを備えており、クロック発生回路8からの内部クロックCLKを利用して、異なる音色を発生する。クロック発生回路8は、外部機器から与えられる1～16MHzのクロックEXCKを分周して0.5～1MHz程度の内部クロックCLKにするものである。クロック発生回路8の分周比は、2分周、4分周、8分周、16分周のいずれかを選択できる。その選択は、外部機器からバッファレジスタ7を通して2ビットのレジスタ9にデータを設定することにより行える。

【0008】 2ビットレジスタ9及びデジタル音源回路2a～2dの複数のレジスタを指定するアドレスA<sub>1</sub>～A<sub>4</sub>及びチップイネーブルCEは、デコーダ10で復元されるようになっている。本実施例のデジタル音源回路2a～2dの具体例を図2に示す。このデジタル音源回路2a～2dは、分周回路11、パルスパターン生成回路12、演算回路13及びゲート回路14等を備える他、周波数設定用に2つの8ビットレジスタ15、16、パルスパターン設定用に一つの8ビットレジスタ17、加算周期設定用に一つの8ビットレジスタ18、加算値設定用に一つの8ビットレジスタ19、音量設定用に一つ

の8ビットレジスタ20を備えている。

【0009】従って、マイクロコンピュータを用いた8ビットの外部機器からバッファレジスタ7を介して、周波数設定用の12ビットデータを入力すると、周波数設定用の12ビットデータのうち下位8ビットはレジスタ15に、上位4ビットはレジスタ16の下位4ビットに保持され、レジスタ16の上位4ビットは全て「0」となる。同様に、パルスパターン設定用の4ビットデータを入力すると、パルスパターン設定用の4ビットデータは、レジスタ17の下位4ビットに保持され、レジスタ17の上位の4ビットは全て「0」となる。また、加算値設定用の1ビットデータを入力すると、この加算値設定用の1ビットデータは、加算値設定用の8ビットレジスタ19の下から5桁目、6桁目のビットに保持され、レジスタ19の他の桁のビットは「0」となる。各レジスタ15～20の読出しタイミングはクロックCLKに同期するようにしてある。

【0010】分周回路11は、クロック発生回路8からクロックCLKが入力されると、クロックCLKをN分周してパルスパターン生成回路12に与える。ここで、Nは、レジスタ15、16に設定された周波数設定用の12ビットデータの数値である。分周回路11として、本実施例では12ビットのダウンカウンタを用いており、周波数設定用の12ビットデータとして数値Nがセットされると、カウンタがクロックCLKをN個数えてカウンタ値がゼロとなる毎に、クロックCLKと同じ幅のパルスを出力する。例えば、周波数設定用の12ビットデータの数値がN=3のときの分周回路11の出力パルス11Aを図7(a)に示し、N=10のときの出力パルス11Aを同図(b)に示すように、Nが大きくなるほど、出力パルス11Aの間隔が広がる。

【0011】パルスパターン生成回路12は、レジスタ17に設定されたパルスパターン設定用の4ビットデータに応じて、クロックCLKと分周回路11の出力パルス11Aとの積により、図5に示す16種のパターン0～Fのうちの何れか一種を生成する。例えば、図3にパルスパターン生成回路12の構成例を示すように、このパルスパターン生成回路12は、16通倍回路21と、三つの2分周回路22～24と、12個のアンド回路25～36と、マルチプレクサ37とで構成されている。従って、レジスタ17の下位4ビットに設定されたパルスパターン設定用データに応じてマルチプレクサ37の出力37Aと分周回路11の出力11Aとがアンド回路36に入力されると、アンド回路36では、その積が求められてパターン0～Fの出力12Aとしてゲート回路14に与える。、図5中のパルスパターン0～Fの指示記号は、パルスパターン設定用の4ビットデータを16進法で表わした時の値にそれぞれ対応している。

【0012】このように本実施例のデジタル音源回路2a～2dでは、分周回路11の出力する一つのパルス毎

に波形を単なるデューティ比率の変化だけでなく、複雑に可変設定することができ、16種の音色を自由に選ぶことができる。

【0013】演算回路13は、レジスタ18に設定された加算周期のデータが示す数値MだけクロックCLKを計える毎に、レジスタ19の下から5桁目のデータD<sub>4</sub>に応じた値を、レジスタ20に設定された音量設定用のデータを累積してゲート回路14に与える。本実施例ではレジスタ19のデータD<sub>4</sub>が「1」のとき+4を加算し、「0」のときは-4を加算するものとしている。また、レジスタ19の下から6桁目のデータD<sub>5</sub>が「1」のとき演算回路13が機能し、「0」のときは入力した音量設定用データをそのまま出力するようにしている。

【0014】演算回路13の8ビットデータの出力13Aは、パルスパターン生成回路12からの出力12Aと共にゲート回路14に入力される。ゲート回路14は、演算回路13の8ビットデータの出力13Aとパルスパターン生成回路12からの出力12Aと積をとる8ビットのマルチプレクサであり、例えば、図4に示すアンド回路38～45による等価回路が使用できる。

【0015】このゲート回路14の出力14Aは、8ビットのデジタル音声信号であり、時分割形マルチプレクサ5に出力される。時分割形マルチプレクサ5には、デジタル音源回路2a～2bから四つの出力14Aが入力すると共にノイズ発生回路3、DAC直接制御レジスタ4からの出力が入力する。時分割形マルチプレクサ5は、クロック発生回路8からのクロックCLKにより、図7に示すように入力した六つの信号と休止とを周期的切り換えて、D/A変換回路6へ出力するものである。ノイズ発生器3は、12ビットの発振周波数設定部と、8ビットの減衰器及び乱数発生部とからなり、発振周波数設定部、減衰器は、上記デジタル音源回路2a～2bに使用されるものと同様なものが使用でき、また、乱数発生部としては、パルスパターン生成回路と同様なものが使用できる。

【0016】DAC直接制御レジスタ4には、コンパクトディスク、デジタルオーディオテープ等のデジタル信号が入力され、D/A変換回路6へ数値を直接設定することができるものである。これを8ビットのD/A変換回路5でアナログ信号に変換することにより、本デジタル音源回路1の出力信号1Aとしている。図1中、23は増幅器、24はスピーカである。D/A変換回路6は、時分割形マルチプレクサ5から入力した8ビットのデジタル信号をアナログ信号に変換する。この出力が、本デジタル音源回路1の出力信号1Aとしている。図1中、46は増幅器、47はスピーカである。

【0017】上述したデジタル音源回路1は積集回路化してある。そして、本回路1を使用するに際しては、発生させたい音の周波数、音色、音量の時系列的データをパソコン等により予め作成しておき、アドレスA<sub>1</sub>～A<sub>0</sub>

10

20

30

40

50

及びチップイネーブルCEを用いてレジスタ15～20を指定して、該当するレジスタのデータを順次更新すれば良い。また、上記実施例では、デジタル音源回路2a～2dに、パルスパターン生成回路12、演算回路13をを内蔵して外部データに応じてパルス波形を複雑に変化させ、音色、音量を簡単に可変設定することができるが、本発明はこれに限るものではなく、音色又は音量の何れかを外部から指定することができるようにしても良い。

#### 【0018】

【発明の効果】以上、実施例に基づいて具体的に説明したように、本発明のマルチデジタル音源回路は、時分割形マルチプレクサを使用して、デジタル音源回路を周期的に切り換えるようにしたので、複数のデジタル信号が偶然的に逆位相となったとしても、音が干渉することはない。一時的な無音状態を回避することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のマルチデジタル音源回路の構成を示す図である。

【図2】それぞれのデジタル音源回路の構成を示す図である。

【図3】パルスパターン生成回路の構成例を示す図である。

【図4】ゲート回路の構成例を示す図である。

【図5】パルスパターンの例を示す図である。

【図6】同図(a)(b)は、何れも分周回路の出力波形の例\*

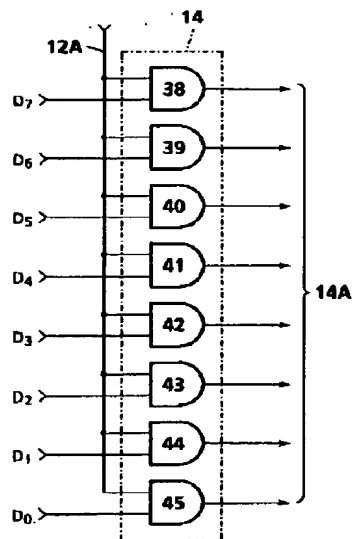
\*を示すグラフである。

【図7】時分割形マルチプレクサの周期的出力を示すグラフ。

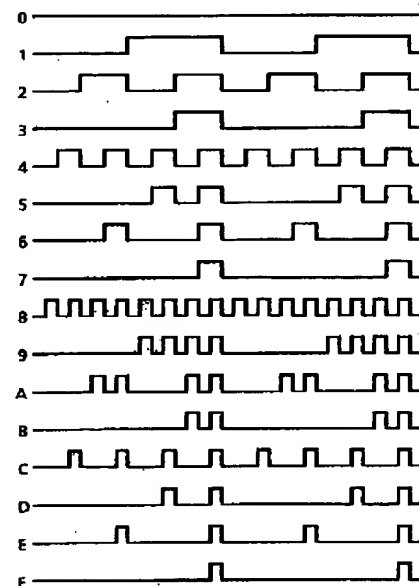
#### 【符号の説明】

- 1 マルチデジタル音源回路
- 2 a～2 d デジタル音源回路
- 3 ノイズ発生回路
- 4 D A C直接制御レジスタ
- 5 時分割形マルチプレクサ
- 10 6 D/A変換回路
- 7 バッファレジスタ
- 8 クロック発生回路
- 9 2ビットレジスタ
- 10 デコーダ
- 11 分周回路
- 12 パルスパターン生成回路
- 13 演算回路
- 14 ゲート回路
- 15～20 レジスタ
- 21 16通倍回路
- 22～24 2分周回路
- 25～36、38～45 アンド回路
- 37 マルチプレクサ
- 46 増幅器
- 47 スピーカ

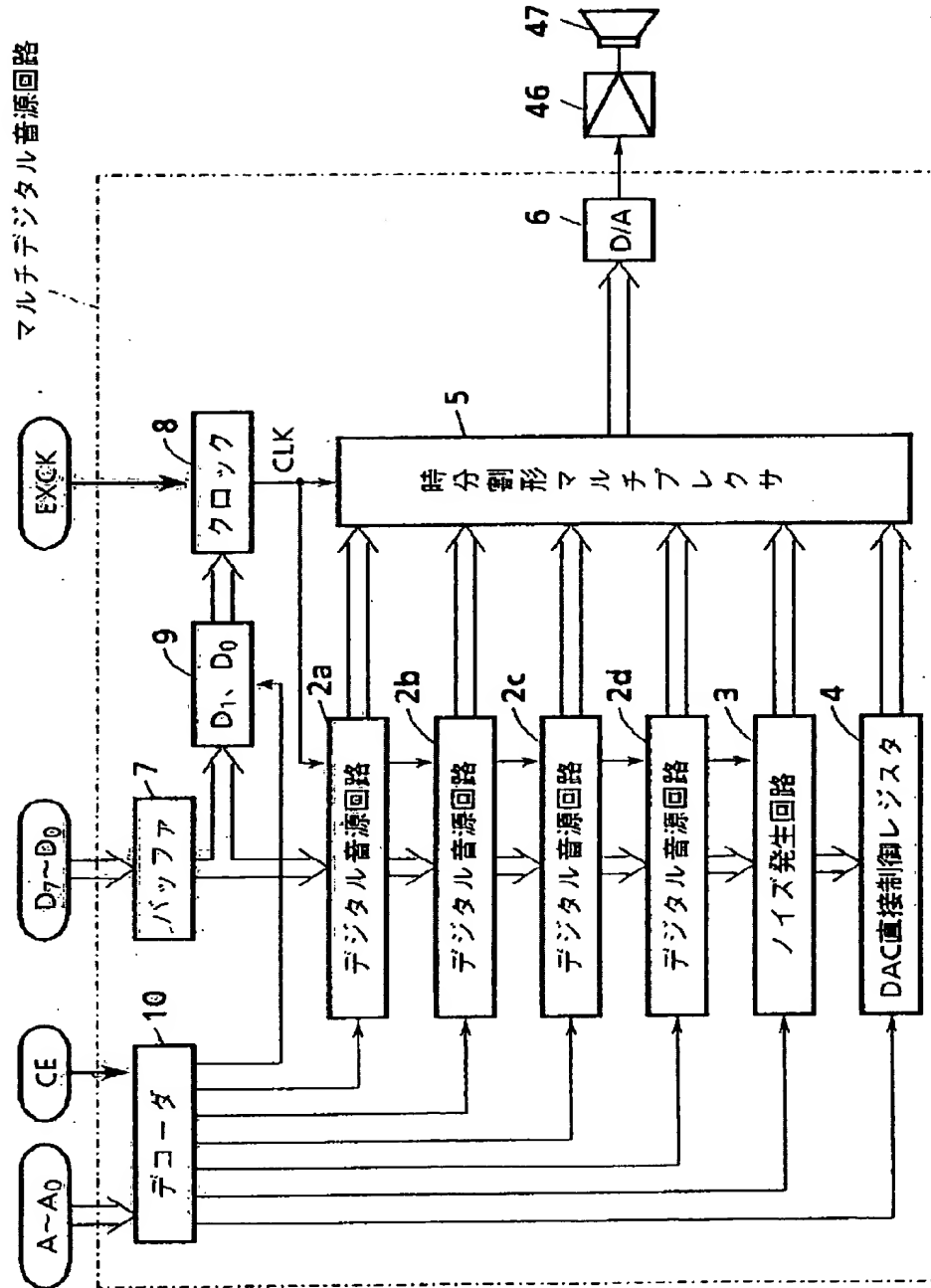
【図4】



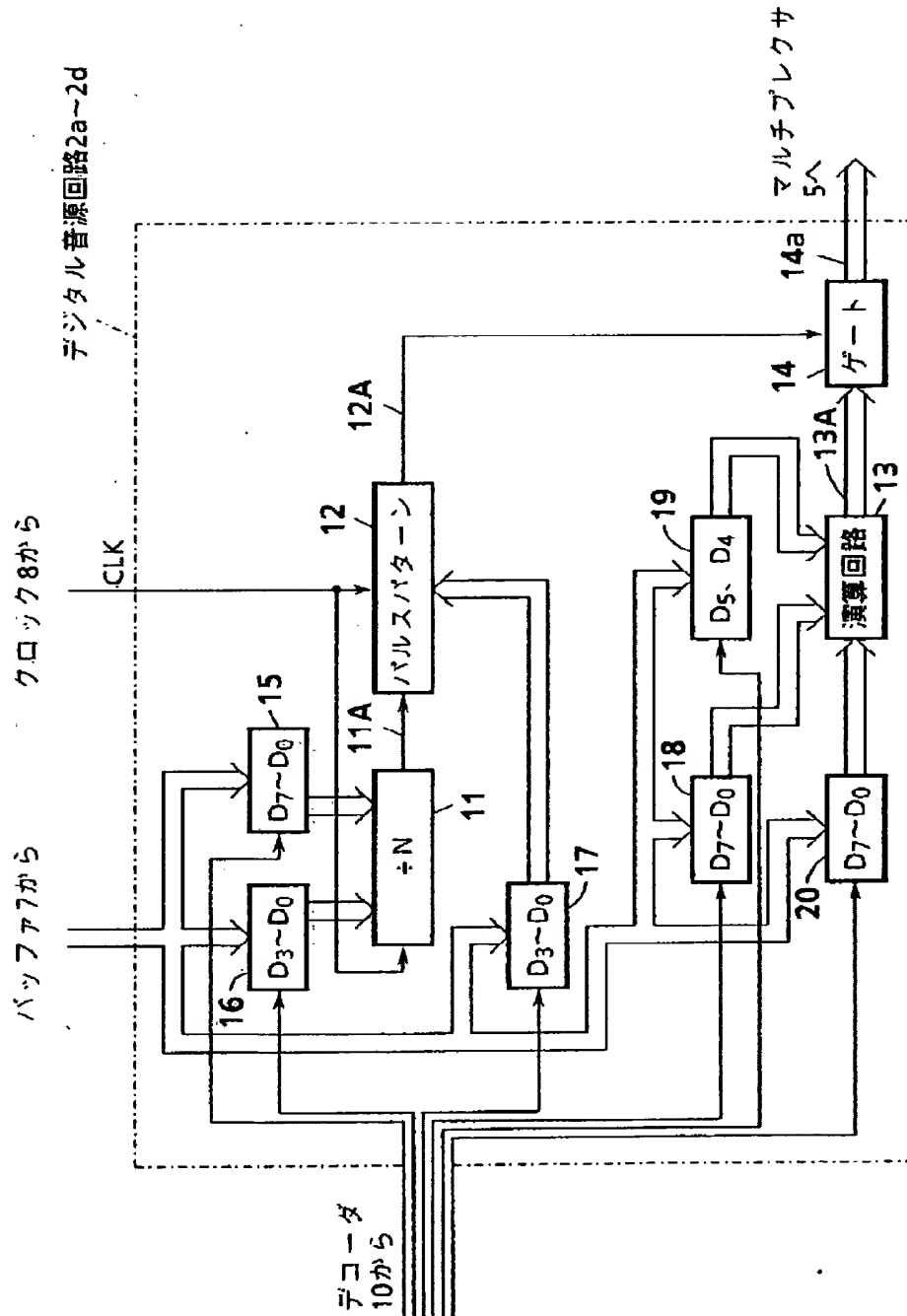
【図5】



【図1】

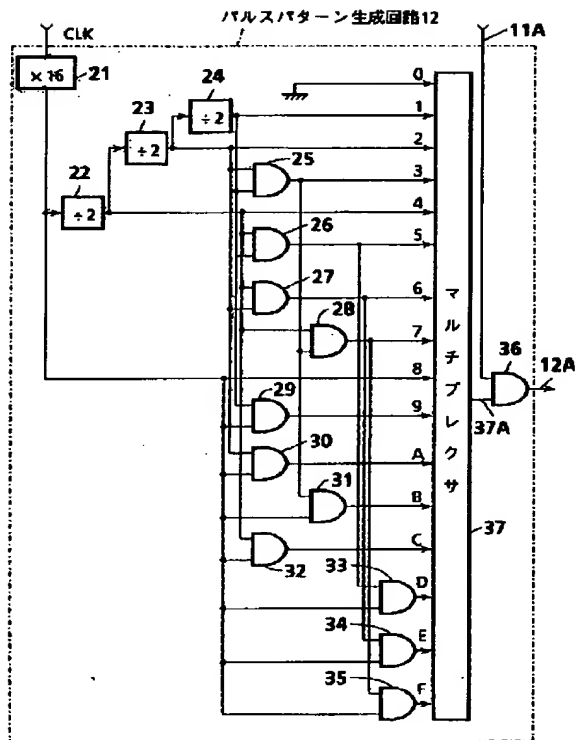


【図2】

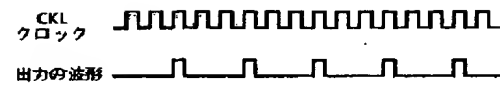




【図3】



【図6】

(a)  $N=3$ の場合(b)  $N=10$ の場合

【図7】

